

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás

1.0 A TERVEZŐK ÉS A GYÁRTÓK ELŐNYEI AZ I²C-BUSSZAL

A hétköznapi elektronika, a távközlés és az ipari elektronika gyakran sok hasonlóságot mutat a látszólag független konstrukciókban. Például majdnem minden rendszerben van

- Intelligens vezérlő (általában egy egyszerű mikrokontroller)
- Általános célú áramkörök, mint pl. LCD vezérlő, önálló I/O portok, RAM, EEPROM, adatkonverterek
- Alkalmazás-orientált áramkörök, mint pl. rádió és televízió rendszerek digitális hangoló és jelfeldolgozó áramkörei, vagy hangtárcsaszású telefonok DTMF generátorai.

A Philips kifejlesztett egy egyszerű kétirányú, kétvezetékes buszrendszert hatékony IC-k közti vezérlésre azért, hogy mind a rendszertervezők, mint a készülégyártók kihasználhassák ezen hasonlóságokban rejlő előnyöket, valamint maximalizálhassák a hardver hatékonyságát. A buszt Inter IC-nek, vagy csak röviden I²C-busznak nevezik. Napjainkban a Philips gyártmányú IC-k választéka több mint 150 CMOS és bipoláris I²C-busszal kompatibilis típust tartalmaz a korábban megemlített három főbb kategória feladatainak elvégzésére. Minden I²C-busszal kompatibilis eszköz tartalmaz egy on-chip interfészt, ami az I²C buszon lehetővé teszi a többi eszközzel a közvetlen kommunikációt. E tervezési koncepció számos illesztési problémát old meg digitális vezérlésű áramkörök tervezésekor.

Az I²C-busz néhány jellemzője:

- Csak két buszvezeték szükséges a működéséhez, egy soros adatvonal (SDA) és egy soros orajel (SCL)
- Mindegyik csatlakoztatott eszköz programból címezhető egy egyedi címmel és a köztük fennálló egyszerű master/slave kapcsolat segítségével, a master képes adóként és vevőként is üzemelni
- Valódi több master-es busz ütközésetektőlással és arbitrációval az adatvesztés elhárítására, ha két vagy több master egyidejűleg kezdene küldeni
- Soros, 8-bit-es, kétirányú adatforgalom, melynek sebessége normál üzemmódban 100 kbit/s, gyors üzemmódban 400 kbit/s
- A chipbe épített szűrő az adatvonalon lévő zavarokat szűri ki, megőrizve ezzel az adatintegritást
- Az egy buszra csatlakoztatható IC-k számát csak a busz kapacitása korlátozza, ami maximum 400 pF lehet.

Az egyes ábra példaként mutat két I²C alkalmazást.

1.1 Tervezők előnyei

Az I²C-busszal kompatibilis IC-k segítségével a rendszertervezés gyorsan, közvetlenül haladhat a funkcióblokk-diagramm-tól a prototípusig. Továbbá az IC-k interfész nélkül közvetlen az I²C-buszos csatlakozása lehetőséget nyújt egy olyan prototípus rendszerre, ahol a módosítás és a továbbfejlesztés megvalósítható az IC-k egyszerű rákötésével, vagy levételével.

Az I²C-busszal kompatibilis IC-k néhány jellemzője, melyek különösen fontosak a tervezők számára:

- A funkcionális blokkok a blokk-diagrammban megegyeznek a valódi integrált áramkörökkel; a tervezők gyorsan haladhatnak a blokk-diagramtól a végső elrendezésig
- Nem szükséges megtervezni a busz interfészt, mert a chip már tartalmazza azt
- Az integrált címzési és adatátviteli protokoll lehetővé teszi a rendszer teljesen szoftveres definícióját
- Ugyanazon IC típusok sok eltérő alkalmazásban is használhatóak
- A tervezési idő lerövidül, mivel a tervezők hamar rutint szerznek a gyakran használt funkcionális blokkok I²C-busszal kompatibilis IC-ként való ábrázolása miatt
- IC-eket adhatunk, illetve vehetünk el a rendszerből anélkül, hogy az a buszon más áramkörökre kihatna
- A hibadiagnózis és a hibakeresés egyszerű; a zavarok azonnal felderíthetőek
- Az újrafelhasználható szoftvermodulok könyvtárba gyűjtésével a szoftverfejlesztési idő jelentősen rövidíthető

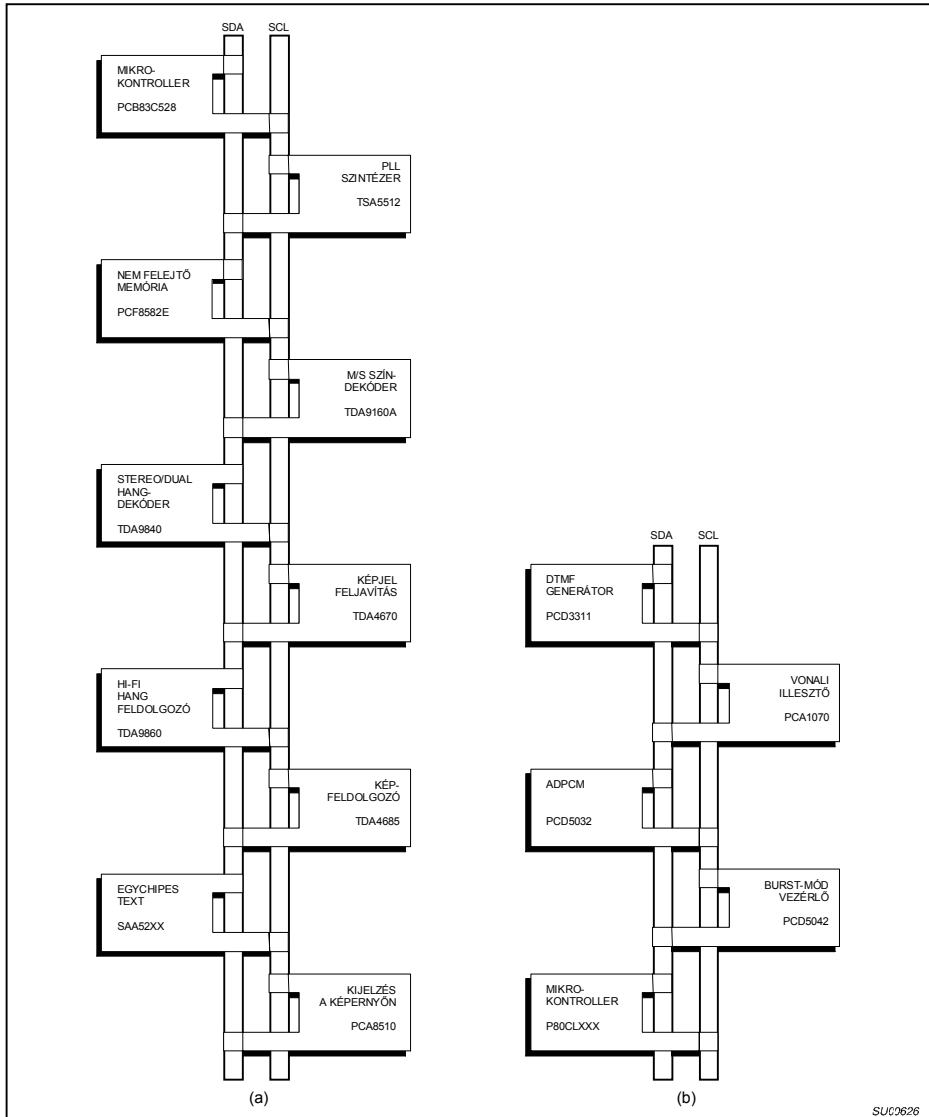
Ezen előnyökön túl, CMOS IC-k az I²C busz kompatibilis alkatrészek kínálatában található CMOS IC-k a tervezőknek speciális lehetőségeket nyújtanak, amelyek különösen vonzóak a hordozható berendezések és telepek számára.

Mindegyikük rendelkezik:

- Rendkívül alacsony áramfelvétellel
- Nagy zajtűréssel
- Széles üzemi feszültség tartománnyal
- Széles üzemi hőmérséklet tartománnyal

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás



SUC0626

1. ábra: két példa I²C-buszos alkalmazásra
(a) nagytejesítményű, erősen integrált TV készülék, (b) DECT vezeték nélküli alapállomás

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás

1.2 A gyártók előnyei

Az I²C-busszal kompatibilis integrált áramkörök nem csak a tervezőket segítik, hanem számos előnyt nyújtanak készülékgyártók számára is:

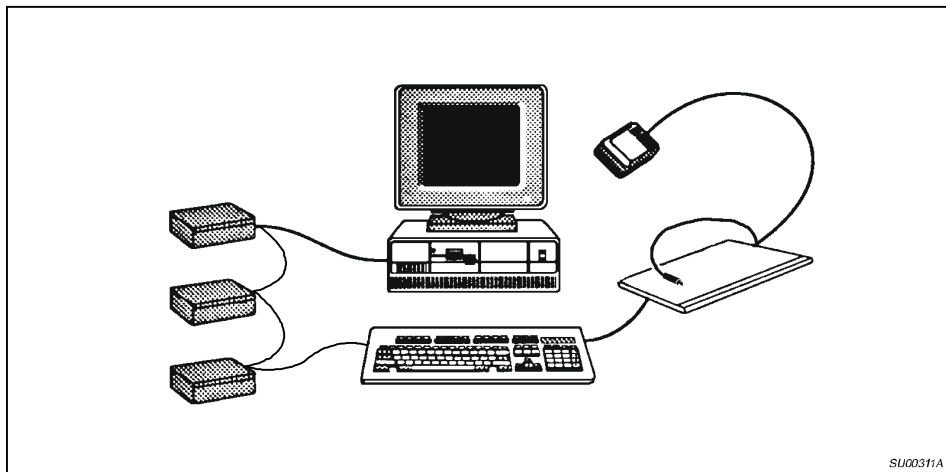
- Az egyszerű kétvezetékes soros I²C-busz minimalizálja az összeköttetéseket, így kevesebb IC lábat és huzalozást tartalmaz a nyomtatott áramkör, melynek eredményeként kisebb és olcsóbb lesz.
- A teljesen integrált I²C-bus protokoll kiiktatja a szükséges címdekódereket és az egyéb járulékos logikai áramköröket
- Az I²C-busz többmasteres képessége lehetővé teszi a gyors tesztelést és a végfelhasználó műszerek külső csatlakoztatását egy assembly-line számítógéphez
- A helyigényt mégtovább csökkenti, hogy az, hogy az I²C-busszal kompatibilis IC-k rendelkezésre állnak SO (Small Outline), VSO (Very Small Outline), valamint DIL tokozásban

Ez csak néhány az előnyök közül. Továbbá az I²C-busszal kompatibilis IC-k növelik a rendszertervezés rugalmasságát

azzal, hogy lehetővé tesznek egyszerű konstrukciójú készülékváltozatokat és a típusok könnyű korszerűsítését. Így egy teljes készülécsalád kifejleszthető egy alaptípus körül. A továbbfejlesztés egy új készülékre, vagy kivívított képességű modellekre már könnyen megvalósítható a megfelelő IC-k buszra csatlakoztatásával. Ha pl. nagyobb ROM szükséges, akkor ez egyszerűen egy nagyobb ROM-mal rendelkező mikrokontroller kiválasztásának a kérdése a széles típusválaszték-ból. Amint egy új IC feleslegessé tesz egy régebbit, egyszerű újabb jellemzőket hozzáadni, vagy növelni a teljesítményt, egyszerűen az elavult IC-t levesszük a buszról, az újat meg raktajtjuk.

1.3 Az ACCESS.bus

Az I²C-busz egy másik vonzó tulajdonsága a tervezők és gyártók számára az, hogy az egyszerű 2 vezetékes jellege és a szoftveres címzés lehetősége ideális platformmá teszi az Access.bus számára (2. ábra). Ez egy olcsó alternatívája az RS-232 interface-nek ahhoz, hogy perifériákat kössünk egy számítógéphez egy egyszerű 4 tűs csatlakozón keresztül.



SU00311A

2. ábra: Az ACCESS.bus – egy alacsony költségű alternatívája az RS-232C interfésznek

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás

2.0 BEVEZETÉS AZ I²C-BUSZ LEÍRÁSÁBA

A 8-bites digitális vezérlésű alkalmazásoknál, mint pl. a mikrokontrollert igényelőkénél, megállapíthatóak bizonyos tervezési feltételek.

- Általában egy komplett rendszer legalább egy mikrokontrollerből és további perifériaeszközökből áll, mint pl. memóriák és I/O bővítések
- A rendszerben a különböző eszközök csatlakoztatási költségeinek minimálisnak kell lennie
- Egy vezérlési feladatokat ellátó rendszer nem igényel nagy sebességű adatátvitelt
- Az egész hatékonysága az eszközök kiválasztásától és az összekötő buszstruktúra természetétől függ

Egy olyan rendszer megvalósításához, amely eleget tesz ezeknek a kritériumoknak, soros buszstruktúra szükséges. Bár a soros buszok nem rendelkeznek olyan átviteli kapacitással, mint a párhuzamos buszok, de kevesebb vezetékét és IC lábat igényelnek. Egy busz nemcsak az összekötő vezetékekből áll, hanem magába foglalja a kommunikációhoz szükséges formátumokat és eljárásokat is.

Az eszközöknek ahhoz, hogy más eszközökkel kommunikáljanak egy soros buszon, rendelkezniük kell a protokoll néhány

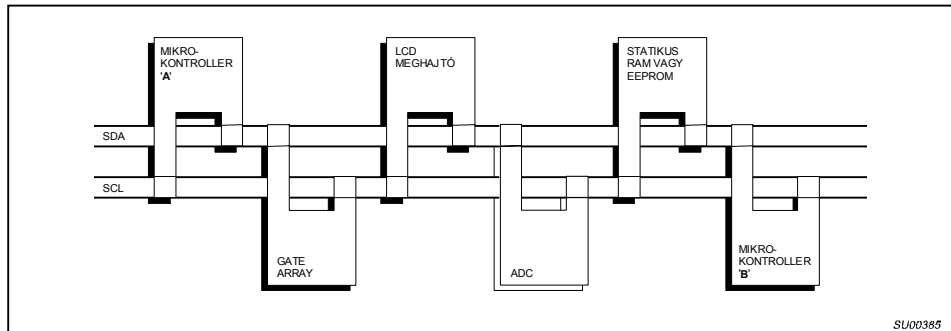
formátumával, amely megszünteti az adatvesztés, zűrzavar és az információ elakadás lehetőségét. A gyors eszközöknek tudniuk kell kommunikálni a lassú eszközökkel. A rendszer nem függhet a rákötött eszközöktől, máskülönbben a változtatások és tökéletesítések nem lehetségesek. Egy megtervezett eljárásnak kell lennie annak eldöntésére, hogy melyik eszköz és mikor vezérli a buszt. Ha különböző eszközök különböző sebességgel kapcsolódnak a buszra, akkor meghatározottnak kell lennie a busz órajelforrásának. Ezeket a kritériumokat mind magába foglalja az I²C-busz specifikációja.

3.0 AZ I²C-BUSZ ELGONDOLÁS

Az I²C-busz támogat valamennyi IC gyártási technológiát (NMOS, CMOS, bipoláris). Két vezeték, a soros adat (SDA) és a soros órajel (SCL) továbbítja az információkat a buszra kötött eszközök között. Minden eszközt egy egyedi cím által ismernek fel – vajon egy mikrokontroller, LCD driver, memória, vagy billentyűzet interfész-e – és működhet akár küldő, akár fogadóként is az eszköz funkciótól függően. Nyilvánvalóan egy LCD driver csak fogadó, ezzel szemben egy memória tudja az adatokat fogadni és küldeni is. A továbbiakban: *küldők* és *fogadók*. Amikor az eszközök adatátvitelt valósítanak meg, tekinthetjük őket master-nek és slave-nek. A master az az eszköz, amely megkezd egy adatátvitelt a buszon és generálja az órajeleket az átvitel lebonyolításához. Bármely ezalatt megcímzett eszközt slave-nek tekintünk.

1. Táblázat: Az I²C-buszos kifejezések definíciója

KIFEJEZÉS	LEÍRÁS
Küldő (Transmitter)	Az az eszköz, amelyik adatokat küld a buszra
Vevő (Receiver)	Az az eszköz, amelyik adatokat fogad a buszról
Master	Az az eszköz, amelyik kezdeményezi az átvitelt, generálja az órajelet és befejezi az átvitelt
Slave	A master által megcímzett eszköz
Multi-master	
Arbitráció	
Szinkronizáció	Eljárás két vagy több eszköz órajelének a szinkronizálására



3. ábra: Példa két mikrokontrollert használó I²C-busz konfigurációra

SU00385

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás

Az I²C-busz egy többmesteres busz. Ez azt jelenti, hogy egynél több eszköz lehet a buszra kötve, mely képes azt vezérelni. Minthogy a mesterek általában mikrokontrollerek, vegyük szemügyre az adatátvitelt két I²C-buszra kötött mikrokontroller között (3. ábra). Ez rávilágít az I²C-buszon található master-slave és küldő-fogadó kapcsolatokra. Meg kell jegyeznünk, hogy ezek a kapcsolatok nem állandóak, és csak az adott pillanat adatátviteli irányától függenek. Az adatátvitel a következőképpen történik:

1. Tegyük fel, hogy az **A** mikrokontroller információt akar küldeni a **B** mikrokontrollernek:
 - Az **A** mikrokontroller (master) megcímzi a **B** mikrokontrollert (slave)
 - Az **A** mikrokontroller (küldő master) adatokat küld a **B** mikrokontrollernek (fogadó slave)
 - Az **A** mikrokontroller befejezi az átvitelt
2. Ha az **A** mikrokontroller információkat akar fogadni a **B** mikrokontrollertől:
 - Az **A** mikrokontroller (master) megcímzi a **B** mikrokontrollert (slave)
 - Az **A** mikrokontroller (fogadó master) adatokat vesz a **B** mikrokontrollertől (küldő slave)
 - Az **A** mikrokontroller befejezi az átvitelt

Még ebben az esetben is a master (**A** mikrokontroller) generálja az időzítéseket és fejezi be az átvitelt.

Annak a lehetősége, hogy több mikrokontroller köthető az I²C-buszra azt jelenti, hogy egyszerre több master is megpróbálhat átvitelt kezdeményezni. Hogy elkerüljük a

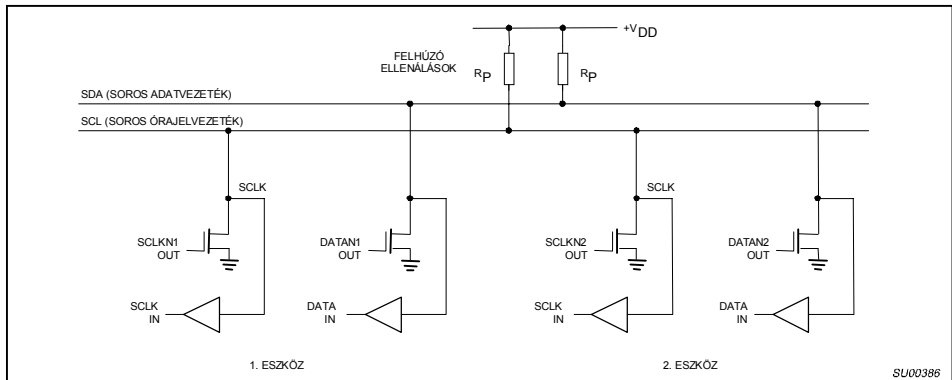
zűrvart, ami bekövetkezhet egy ilyen esetben, terveztünk egy arbitrációs eljárást. Ez az eljárás az I²C interfészeknek az I²C-buszon létrejött huzalozott ES kapcsolatán alapszik.

Ha kettő vagy több master próbál információt küldeni a buszon, akkor az első olyan master elveszti az arbitrációt, amelyik '1'-est akar küldeni, miközben a többiek '0'-át. Az arbitráció ideje alatt az órajel a mesterek órajeleinek a szinkronizált kombinációja. Ez az SCL vezetéken létrejött huzalozott ES kapcsolat segítségével valósul meg (az arbitrációs kapcsolatos részletesebb információkat lásd a 7.0 részben).

Az I²C-buszon az órajel generálása mindig a mesterek felelőssége. Minden master a saját órajelét generálja amikor adatot visz át a buszon. Egy mestertől származó buszórajel csak két esetben változtatható meg: egyik ha egy lassú slave alacsony szinten tartja az órajelvezetékét és megnyújtja ezzel az órajelet, a másik ha arbitráció lép fel egy másik masterrel.

4.0 ÁLTALÁNOS KARAKTERISZTIKÁK

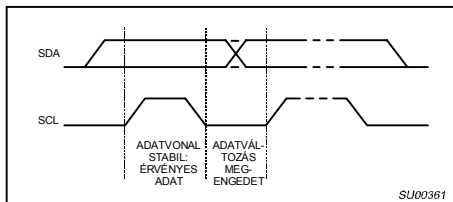
Az SDA és az SCL vezeték is kétirányú és egy felhúzó ellenálláson keresztül a pozitív tápfeszültségre van kötve (4. ábra). Ha a busz szabad, mindkét vezeték magas logikai szintű. A huzalozott ES függvény megvalósítása érdekében az eszközök buszra csatlakozó kimeneti fokozatainak nyitott kollektorosnak vagy nyitott drain-űnek kell lennie. Az I²C-buszon az adatátvitel maximum 100 Kbit/s lehet standard módban és 400 Kbit/s gyors módban. A buszra köthető eszközök száma kizárólag csak a busz 400 pF-os kapacitáshatárától függ.



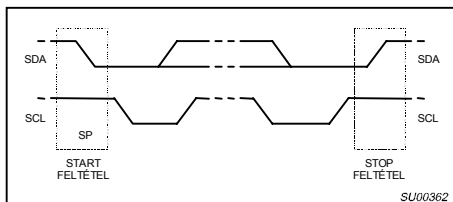
4. ábra: I²C-buszos eszközök kapcsolódása az I²C-buszra

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás



5. ábra: bit átvitele az I²C-busz-on



6. ábra: START és STOP feltételek

5.0 BIT ÁTVITELE

Az I²C-busra köthető különböző technológiájú eszközök változatosságának köszönhetően (CMOS, NMOS, bipoláris), a logikai '0' (alacsony) és a logikai '1' (magas) jelek szintjei nem fixek és függenek az eszközökre kapcsolt tápfeszültség (V_{DD}) nagyságától is (Az elektromos specifikációt lásd a 15.0 részben). Minden egyes bit átvételéhez egy órajelimpulzus generálódik.

5.1 Adatérvényesség

Az adatnak az SDA vezetéken stabilnak kell lennie az órajel magas periódusa alatt. A magas-alacsony állapot az adatvezetéken csak akkor változhat meg, amikor az SCL vezetéken az órajel logikai 0 (lásd 5. ábra).

5.2 START és STOP feltételek

Az I²C-busz eljárása során START és STOP feltételként definiált egyedi situációk keletkeznek.

Az egyik ilyen eset egy magas-alacsony átmenet az SDA vezetéken, miközben az SCL magas jelszintű. Ez a situáció egy START feltételt jelez.

Az SCL magas szintje melletti alacsony-magas átmenet az SDA vezetéken pedig egy STOP feltételt definiál.

A START és STOP feltételeket mindig a master generálja. A busz a START feltétel után foglaltnak tekintendő, és valamivel később ismét szabadnak tekinthető egy STOP feltétel után. Ez a szabad busz a 15.0 részben van leírva.

Ha a buszra csatlakoztatott eszközök tartalmazzák a szükséges illesztő hardvert, akkor könnyű a START és STOP feltételek detektálása. Azonban az interfészt nem tartalmazó mikrokontrollereknek legalább az órajelperiódus kétszeresével mintavételezniük kell az SDA vezetéket, hogy gond nélkül érzékeljék az átmenetet.

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás

6.0 AZ ADATOK ÁTVITELE

6.1 Byte formátum

Az SDA vezetéken minden byte 8 bites. Az egy átvitel alatt átvihető byte-ok száma korlátlan. Minden byte-ot egy nyugtázás bit követ. Az adat átvitele a legnagyobb helyiértékű bit (MSB) átvitelével kezdődik (7. ábra). Ha a vevő nem képes az adat még egy teljes byte-ját fogadni amíg el nem végzett más funkciókat, például ki kell szolgálnia egy belső megszakítást, alacsonyban tarthatja az órajelvezeték (SCL), hogy az átvitel egy várakozási helyzetbe kényszerítse. Az adatátvitel folytatódik, amint a vevő készen áll a következő byte fogadására és szabaddá teszi az órajelvezetékét, az SCL-t.

Néhány esetben megengedett az I²C-busz formátumától eltérő formátum használata (pl. a CBUS kompatibilis eszközök). Egy üzenet, ami egy ilyen címmel kezdődik, egy STOP feltétel generálásával fejeződhet be, még akár egy bájt átvitele közben is. Ebben az esetben nincs nyugtázás generálva (lásd a 9.1.3 részben).

6.2 Nyugtázás

Kötelező a nyugtázásos adatátvitel. A nyugtázással kapcsolatos órajelimpulzust a master generálja. A küldő szabaddá teszi az SDA vezetékét (magas állapottal) a

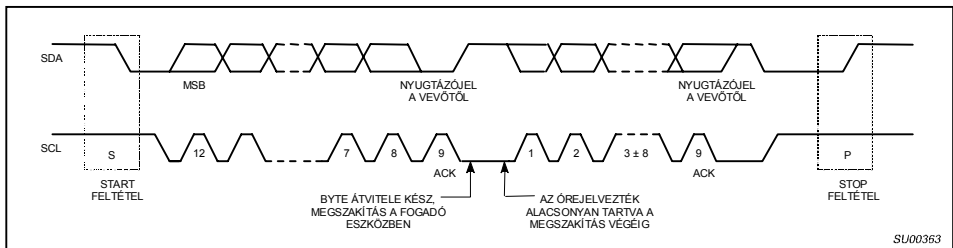
nyugtázás órajelimpulzusa alatt.

A fogadónak le kell húznia az SDA vezetékét a nyugtázás órajelimpulzusa közben úgy, hogy stabilan alacsony maradjon ennek az órajelimpulzusnak a magas periódusa alatt (8. ábra). Természetesen a beállási és tartási időket figyelembe kell venni.

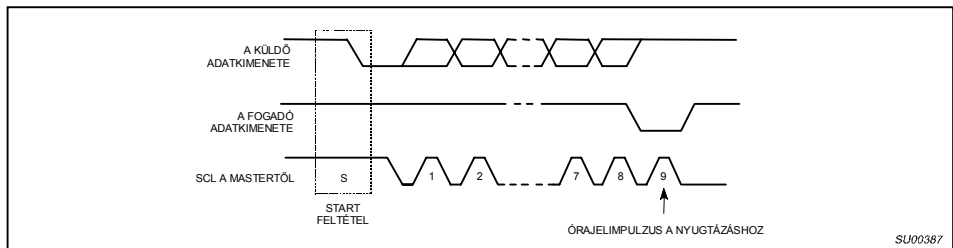
Általában egy megcímzett fogadó köteles minden fogadott byte után egy nyugtázást generálni, kivéve ha az üzenet egy CBUS címmel kezdődik (lásd a 9.1.3 részben).

Ha egy fogadó slave nyugtázza a slave címet, de valamivel később az átvitel során nem képes több adatbyte-ot fogadni, a masternek meg kell szakítania az átvitelt. Ezt a slave azzal jelzi, hogy a következő byte-nál nem generál nyugtázást. A slave magasban hagyja az adatvezetékét, a master meg generál egy STOP feltételt.

Ha egy master fogadóként vesz részt egy átvitelben, jeleznie kell az adat végét a küldő slave-nek azzal, hogy a slave-től kihozott utolsó byte után nem generál nyugtázást. A küldő slave-nek szabaddá kell tennie az adatvezetékét, hogy lehetővé tegye a master-nek egy STOP vagy egy ismételt START feltétel generálását.



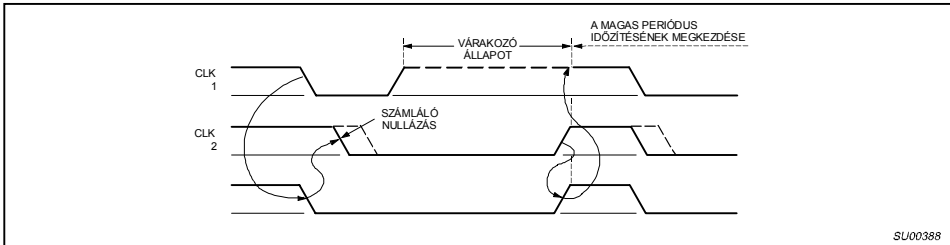
7. ábra: Adatátvitel az I²C-buszon



8. ábra: Nyugtázás az I²C-buszon

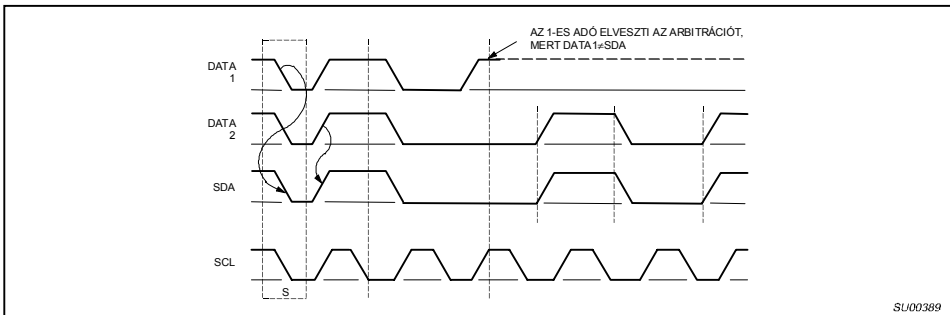
Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás



SU/00388

9. ábra: Órajelszinkronizáció az arbitráció alatt



SU/00389

10. ábra: Arbitrációs eljárás két master-rel

7.0 ARBITRÁCIÓ ÉS ÓRAJELGENERÁLÁS

7.1 Szinkronizáció

Minden master a saját órajelét generálja az SCL vezetéken ahhoz, hogy üzenetet vigyen át az I²C-buson. Az adat csak az órajel magas periódusánál érvényes. Tehát szükség van egy meghatározott órajelre, hogy a bitenkénti arbitrációs eljárás végrezhessen.

Az órajelszinkronizáció az I²C interfészeknek az I²C-buson létrehozott huzalozott ES kapcsolatával megy végbe. Ez azt jelenti, hogy az SCL vezetéken egy magas-alacsony átmenet az érintett eszközöknél az alacsony periódusuk időzítésének megkezdését eredményezi. Ha egy eszköz órajele alacsonyra váltott egészen addig alacsony állapotban tartja az SCL vezetéket, amíg az órajele magas periódusához nem ér (9. ábra). Emellett ennek az órajelnek egy alacsony-magas átmenete nem változtathatja meg az SCL vezetékek állapotát, ha egy másik órajel még mindig az alacsony periódusában van. Emiatt az SCL vezetéket a leghosszabb alacsony periódusú eszköz tartja alacsonyan. Erre az időre a rövidebb alacsony periódussal rendelkező eszközök magas várakozó állapotba kerülnek.

Amikor minden érintett eszköz az alacsony periódusa végére ért, az órajelvezeték felszabadul és magas logikai állapotba kerül. Ekkor nincs különbség az eszközök órajeljei és az SCL

vezeték állapota között, és minden eszköz elkezd kiszámolni a magas periódusát. Az első eszköz, amely végzett a magas periódusával ismét alacsonyra húzza az SCL vezetéket.

Ily módon az SCL vezetéken egy szinkronizált órajel áll elő, amelynek az alacsony periódusát a leghosszabb alacsony periódusú órajel határozza meg, a magas periódusát meg az egyik legrövidebb magas periódusú órajel.

7.2 Arbitráció

Egy master csak akkor kezdhet átvitelt, ha a busz szabad. Két vagy több master generálhat egy start feltételt a START feltétel minimális tartási idején belül ($T_{HD,STA}$), ami egy határozott START feltételt eredményez a busz számára. Amíg az SCL vezetékek magas szinten van az SDA vezetéken végbemegy az arbitráció. Ilyenkor az a master, amelyik magas szintet küld, míg egy másik master alacsonyat, lekapcsolja az adatkimeneti fokozatát, mert a busz jelszintje nem egyezik meg a saját jelszintjével. Az arbitráció folytatódhat több biten keresztül. Az első lépés a címbitek összehasonlítása (a címzési információk a 9.0 és a 13.0 részben találhatóak). Ha a masterek mind ugyanazt az eszközt próbálják megcímezni, az arbitráció folytatódik az adat összehasonlításával. Mivel az arbitráció az I²C-buszra kerülő cím és adatbitek felhasználásával történik, az eljárás során nincs információvesztés.

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás

Az a master, amelyik elvesztette az arbitrációt, annak a byte-nak a végéig generálhatja még az órajelet, ahol elvesztette az arbitrációt.

Ha egy master ellát slave funkcióit is, és a címzési fázisban elveszti az arbitrációt, előfordulhat, hogy a győztes master őt próbálja megcímezni. Tehát a vesztes masternek azonnal át kell kapcsolnia a slave üzemmódjába fogadóként.

A 10. ábra az arbitrációs eljárást mutatja két master esetén. Természetesen részt vehet benne több is (attól függően, hogy hány master csatlakozik a buszra). Abban a pillanatban, amikor különbség van a DATA1-et generáló master belső adata és az SDA vezeték aktuális állapota között, az adatkimete kikapcsol. Ez azt jelenti, hogy ettől kezdve magas jelszinttel kapcsolódik a buszra. Ez nem befolyásolja a győztes master által megkezdett adatátvitelt.

Nincs központi master vagy bármiféle prioritási sorrend a buszon, mert a busz vezérése kizárólag a versenyző masternek által küldött címeken és adatokon dől el.

Külön figyelmet kell szentelnünk annak, ha az arbitráció még folyamatban egy soros átvitel közben, amikor egy ismételt START vagy egy STOP feltétel küldenek az I²C-buszon. Ha lehetséges egy ilyen szituáció előfordulása, az érintett mastereknek az ismételt START vagy STOP feltételt a formátumkeret ugyanazon pozíciójában kell elküldeniük. Más szavakkal, az arbitráció nem megengedett:

- egy ismételt START feltétel és egy adatbit között
- egy STOP feltétel és egy adatbit között
- egy ismételt START feltétel és egy STOP feltétel között

7.3 Az órajelszinkronizációs mechanizmus felhasználása kézfogásként (handshake)

Az arbitrációs eljárásn kívül az órajelszinkronizációs mechanizmus felhasználható még arra is, hogy a fogadók egy byte vagy egy bit szintjén megbirkózzanak a gyors adatátvitellel. Byte szinten ez azt jelenti, hogy egy eszköz képes lehet az adatbyte-ok gyors fogadására, de a fogadott byte

eltárolására vagy egy másik byte átvitelhez való előkészítéséhez több időre van szüksége. **A slave-ek ilyenkor a fogadás és a nyugtázás után alacsony szinten tarthatják az SCL vezetékét, hogy a mestert várakozási állapotba kényszerítsék, amíg a slave kész nem lesz a következő byte átvitelére, mint egy kézfogásos típusú eljárásban.**

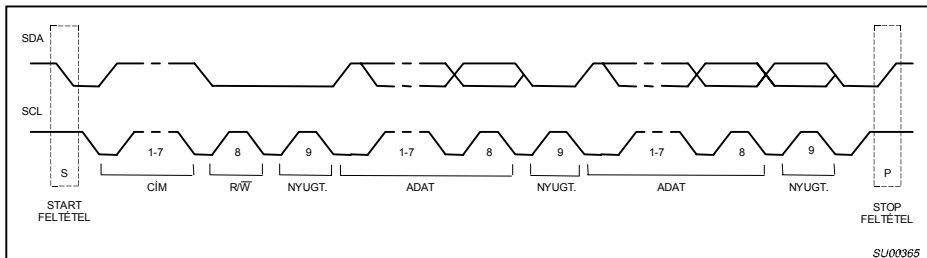
Bit szinten egy eszköz mint egy mikrokontroller korlátozott hardver I²C interfésszel, vagy anélkül, lelassíthatja a buszórajelet az alacsony periódusok megnyújtásával. Ezáltal valamennyi master sebessége igazodik ennek az eszköznek a belső műveleti sebességéhez.

8.0 FORMÁTUMOK 7 BITES CÍMEKKEL

Az adatátvittelek a 11. ábrán mutatott formátumot követik. A START feltétel (S) után egy slavecím kerül elküldésre. Ez a cím 7 bit hosszú, kiegészítve egy nyolcadik, adatirányt jelző bittel (R/W~). Ennek a nulla értéke adatküldést (írás), az egyes értéke adatkerést (olvasás) jelent. Az adatátvitelt mindig a master által generált STOP feltétel (P) fejezi be. Ha azonban a master továbbra is kommunikálni kíván a buszon, generálhat egy ismételt START feltételt (Sr) és megcímezhet egy másik slave-et anélkül, hogy előtte egy STOP feltételt generálna. Ezután az írási/olvasási formátumok különböző variációja lehetséges ugyanabban az átvitelben.

A lehetséges adatátviteli formátumok:

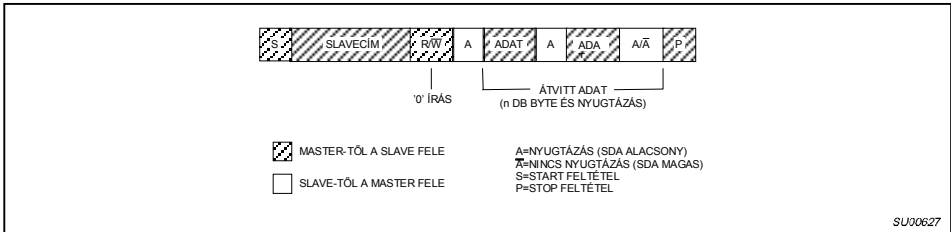
- **A küldő-master küld a fogadó-slave-nek. Az adatátvitel iránya nem változik (12. ábra)**
- **A master rögtön az első byte után olvassa a slave-et (13. ábra).** Az első nyugtázás pillanatában a küldő-master fogadó-master-ré válik és a fogadó-slave küldő-slave-é. Ezt a nyugtázást még a slave generálja. A STOP feltételt a master generálja
- **kombinált formátum (14. ábra).** Egy átvitelben az irányváltás alatt a START feltétel és a slave cím is megismétlődik, de az R/W~ ellentétes értékű. Ha egy master küld egy ismételt START feltételt, akkor előtte nem küld nyugtázást (A~).



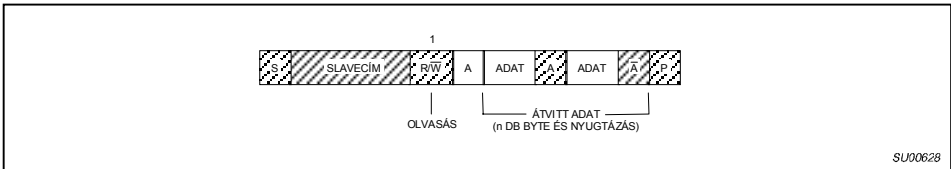
11. ábra: Egy teljes adatátvitel

Az I²C-busz és használata (Specifikációkkal)

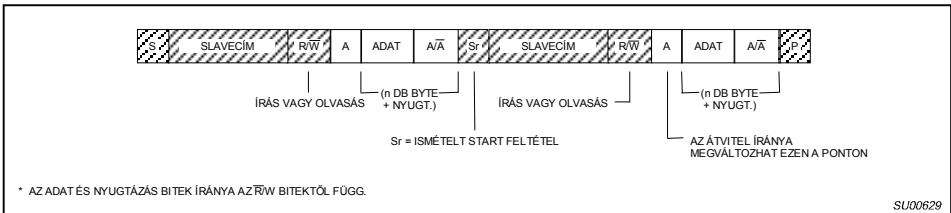
1995-ös kiadás



**12. ábra: A küldő master 7 bites címmel címez egy slave-et.
Az átvitel iránya nem változik**



13. ábra: A master rögtön az első byte után olvassa a slave-et



14. ábra: Kombinált formátum

MEGJEGYÉSEK:

1. A kombinált formátum felhasználható pl. egy soros memória vezérlésére. Az első adatbyte alatt a belső memóriapozíció kerül kírásra. Majd a START feltétel és a slavecím megismétlése után az adat átvihető.
2. Az előzőleg címzett memóriapozíció automatikus növeléséről, csökkentéséről, stb az eszköz tervezője dönt.
3. Minden byte-ot egy nyugtázó bit követ, amit a szekvenciában a A-val, vagy A~mal jelöltünk.
4. Egy START vagy ismételt START feltétel vétele után az I²C-busz kompatibilis eszköznek alapállapotba kell állítaniuk a saját buszlogikájukat, mivel azok egy azok egy slavecím küldését előzik meg.

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás

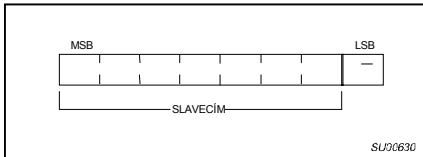
9.0 7 BITES CÍMZÉS

(A 10 BITES CÍMZÉST LÁSD A 13.0 RÉSZBEN)

Általában az I²C-busz címzési eljárása, ami a START feltétel utáni első byte, dönti el, hogy melyik slave lesz kiválasztva a master által. Ez alól az "általános hívás" cím a kivétel, amely az összes eszközt megcímszi. Amikor ezt a címet használjuk, az elmélet szerint minden eszköznek válaszolnia kellene egy nyugtázzással. Azonban készülhetnek úgy az eszközök, hogy figyelmen kívül hagyják ezt a címet. Az általános hívás cím második byte-ja határozza meg az elvégzendő funkciót. Ezt az eljárást a 9.1.1 rész tárgyalja részletesen.

9.1 Az első byte bitjeinek definíciója

Az első byte első hét bitjéből áll össze a slave eszköz címe (15. ábra). A nyolcadik bit a legkisebb helyiértékű (LSB). Ez határozza meg az üzenet irányát. Ha ez a bit 0, az azt jelenti, hogy a master fog információt írni a kijelölt slave-nek. Ha 1-es, akkor a master fog információt olvasni a slave-től.



15. ábra: A START eljárás utáni első byte

Miután egy cím kiküldésre került, a rendszerben lévő összes eszköz összehasonlítja a START feltétel utáni első hét bitet a saját címével. Ha egyezik, az eszköz az R/W~ bittől függően fogadó vagy küldő slave-nek tekinti magát.

Egy slave cím összeállhat egy fix és egy programozható részből. Ezután már nem meglepő, hogy számos azonos eszköz lehet egy rendszerben. A cím programozható része maximális számú ilyen eszköz I²C-busra kötését teszi lehetővé. Az eszközcím programozható részének hossza az eszközön rendelkezésre álló lábak számától függ. Például ha egy eszköz 4 fix és 3 programozható címbittel rendelkezik, akkor összesen 8 azonos eszköz lehet ugyanazon a buszon.

Az I²C címek lefoglalását az I²C-busz bizottság koordinálja. További információk a belső borítón felsorolt Philips képviseletektől nyerhetők. Két 8 címből álló csoportot (0000xxx és 1111xxx) a 2. táblázat szerinti célokra fenntartanak. Az 11110xxx slavecím kombinációk fenntartottak a 10 bites címzéshez (lásd a 13.0 részben).

2. Táblázat: Az első byte bitjeinek definíciója

SLAVECÍM	R/W-bit	LEÍRÁS
0000 000	0	Általános hívás cím
0000 000	1	START byte
0000 001	X	CBUS cím
0000 010	X	Más buszformátumoknak fenntartva
0000 011	X	Későbbi használathoz fenntartva
0000 1XX	X	
1111 1XX	X	
1111 0XX	X	10 bites slavecímzés

MEGJEGYZÉSEK:

1. Egyetlen eszköz sem nyugtázzhatja a START byte vételét
2. A CBUS cím fenntartott arra, hogy CBUS kompatibilis és I²C-busz kompatibilis eszközöket lehessen keverni egyazon rendszerben. Az I²C-busz kompatibilis eszközök nem válaszolhatnak erre a címre.
3. A "más buszformátumoknak fenntartott cím" lehetővé teszi I²C és más protokollt használó eszközök keverését. Csak azok az I²C-busz eszközök válaszolhatnak erre a címre, amelyek kezelni tudják ezeket a protokollokat és formátumokat.

9.1.1 Általános hívási cím

Az általános hívási cím az I²C-buszra kötött összes eszköz megcímezésére szolgál. De ha egy eszköznek az általános hívási struktúra által szolgáltatott adatok semmilyenkére sincs szüksége, figyelmen kívül hagyhatja ezt a címet azzal, hogy nem nyugtázza. Ha egy eszköznek viszont szüksége van ezekre az adatokra, akkor nyugtázza ezt a címet és fogadó-slave-vé válik. A második és az azt követő byte-okat minden fogadó-slave nyugtázza, amelyek képes kezelni ezeket az adatokat. Annak a slave-nek, amelyik nem képes kezelni valamelyik byte-ot, figyelmen kívül kell hagynia azzal, hogy nem nyugtázza. Az általános hívási cím jelentését mindig a második byte írja le (lásd 16. ábra).

Kétféle esetet vehetünk figyelembe:

- Amikor a legkisebb helyiértékű B bit 0
- És amikor a legkisebb helyiértékű B bit 1

Amikor a B bit 0. A második byte definíciója:

- 00000110 (06_{hex}). Resetelj és írd be a slavecím programozható részét a hardware segítségével. Ennek a két byte-os szekvenciának a fogadásával minden eszköz, amelyet úgy terveztek, hogy reagáljon az általános hívási címre, reseteli magát és beolvassa a saját címének a programozható részét. *Előre meg kell győződnünk arról, hogy az eszközök a tápfeszültség megjelenése után nem húzzák le az SDA és SCL vezetékeket, mert ezek a szintek blokkolhatják a buszt.*

- 00000100 (04_{hex}). Állítsd be a slave eszköz címének programozható részét a hardware segítségével. Ennek a kétbyte-os szekvenciának a vételkor az összes olyan eszköz, amelynek a címében van egy hardware-esen programozható rész (és reagál az általános hívás címre), reseteli ezt a programozható részt. Az eszköz nem resetel.

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás

- 00000000 (00_{hex}). Ez a kód nem megengedett második byte-ként.

A programozási eljárás lépései az adott eszköz adatlapjában publikáltak.

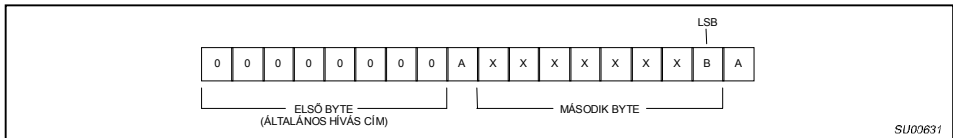
A fennmaradó kódok nem fixáltak és az eszközöknek figyelmen kívül kell azokat hagyniuk.

Amikor a B bit 1-es: A két byte-os szekvencia egy "általános hardver hívás". Ez azt jelenti, hogy a szekvenciát egy hardware master eszköz küldi, mint pl. egy billentyűzet letapogató, amely nem programozható be a kívánt slave címre. Miután a hardware master nem tudja előre, hogy melyik eszköznek lesz az üzenet elküldve, csak ezt az általános hardware hívást és a saját címét tudja generálni – magát a rendszert azonosítva

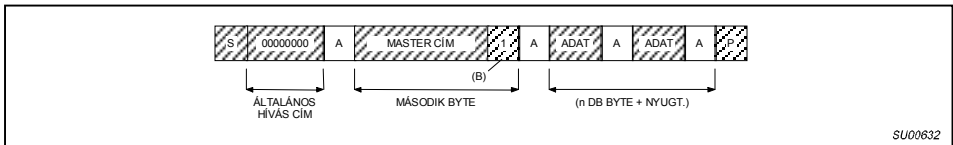
vele (17. ábra).

A hardware master címére hét bit van a második byte-ban. Ezt a címet egy buszra kapcsolt intelligens eszköz (pl. mikrokontroller) felismeri, és közvetíti az információt a hardware mastertől. Ha a hardware master slave-ként is működik, a slave címe azonos a master címmel.

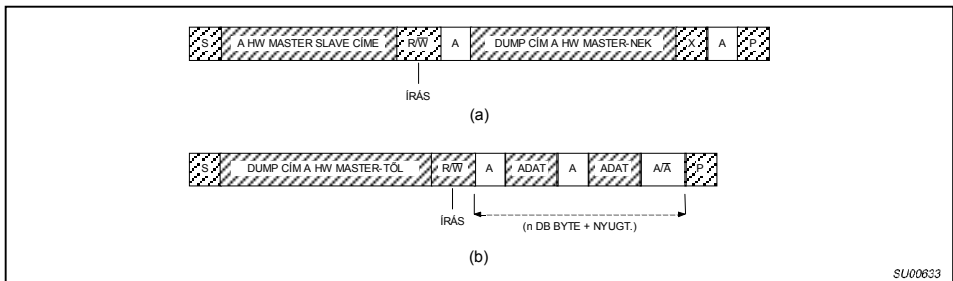
Egyes rendszerekben alternatív megoldás lehet az, hogy a küldő hardware masterek a rendszer reset után fogadó-slave módba kapcsolnak. Ily módon egy rendszerkonfiguráló master megmondhatja a küldő hardware mastereknek (amelyek most fogadó-slave módban vannak), hogy milyen adatcímet kell kiküldeniük (18. ábra). Ezen beprogramozási eljárás után a hardware masterek küldő-master módban maradnak.



16. ábra: Az általános hívás cím formátuma



17. ábra: Adatátvitel egy küldő hardware mastertől



18. ábra: Adatátvitel egy küldő hardware master által, amelyek képes az adatot közvetlenül a slave-eszköznek küldeni
(a) A konfiguráló master elküldi a dump címet a hardware mastereknek
(b) A hardware master adatokat küld a kiválasztott slave-nek

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás

9.1.2 START byte

A mikrokontrollereket kétféleképpen kapcsolhatjuk rá az I²C-busra. Egy mikrokontroller beépített I²C interfésszel felprogramozható úgy, hogy csak a busz kérése esetén kelljen megszakitania a tevékenységét. Ha az eszköz nem rendelkezik ilyen interfésszel, akkor állandóan figyelnie kell a buszt szoftveresen. Nyilvánvalóan, ha a mikrokontroller gyakrabban vesz mintát a busz állapotából, vagy választja a buszt, kevesebb ideje marad, hogy véghezvigye a tervezett belső funkciókat. Emiatt sebességkülönbség van a gyors hardware eszközök és a viszonylag lassú szoftveres megoldást választó mikrokontrollerek között.

Ez esetben az adatátvitelt megelőzheti egy olyan start eljárás, amely a normálisnál hosszabb (19. ábra). A start eljárás a következőkből áll:

- Egy START feltétel
- Egy START byte (00000001)
- Egy nyugtázás órajel (ACK)
- Egy ismételt START feltétel (Sr)

Az S START feltétel után, amelyet egy olyan master küldött, amely szeretne hozzáférni a buszhoz, egy START byte kerül elküldésre. Emiatt egy másik mikrokontroller mintavételezhet lassan amíg a START byte 7 nulla bitjének valamelyikét nem érzékeli. Az SDA vezeték ezen alacsony szintjének az érzékelése után a mikrokontroller egy gyorsabb mintavételezésre kapcsolhat, hogy érzékelje az Sr ismételt START feltételt, amelyet aztán a szinkronizáláshoz felhasználnak.

Egy hardware-es vevő alapállapotba kerül az Sr ismételt START feltételénél és figyelmen kívül hagyja a START byte-ot.

A START byte után generálódik egy nyugtázási órajel, de ez csak azért van jelen, hogy a byte formátumú kézfogáshoz tegye hasonlóvá. Egyetlen eszköz sem nyugtázhatja a START byte-ot.

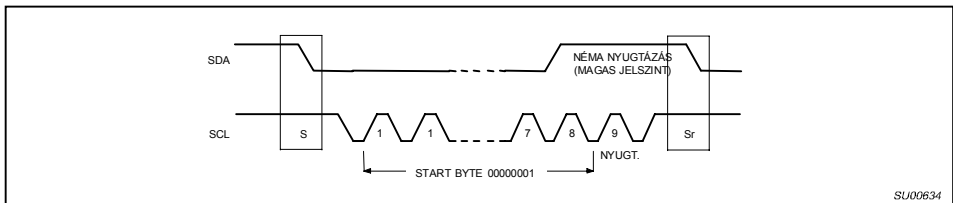
9.1.3 CBUS kompatibilitás

I²C-busra CBUS fogadók rákapcsolhatóak. Azonban ezután egy harmadik DLEN-nek nevezett buszvezetékkel kell bekötni és a nyugtázás bitet el kell hagyni. Szabályosan az I²C átvitel 8 bites byte-ok sorozatai, de a CBUS kompatibilis eszközök más formátummal rendelkeznek.

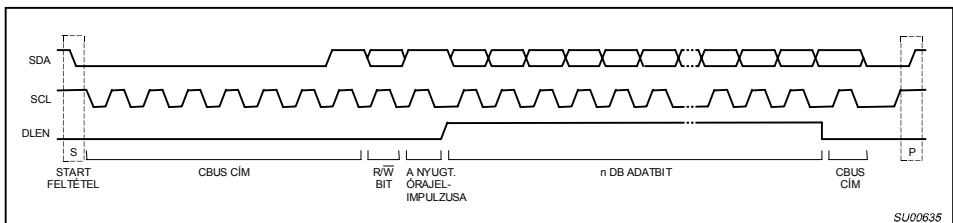
Egy kevert buszstruktúrában az I²C-buszos eszközöknek nem kell reagálniuk a CBUS üzenetekre. Ezen okból kifolyólag egy különleges CBUS cím van fenntartva (0000001x), amelyre a nem I²C-bus kompatibilis eszközök válaszolnak. A CBUS cím átvitel után a DLEN vezeték aktívá válik és egy CBUS formátumú átvitel történik (20. ábra). A STOP feltétel után minden eszköz újra kész az adatok elfogadására.

A küldő-master-ek a CBUS cím elküldése után küldhetnek CBUS formátumokat. Az átvitelt egy STOP feltétel zárja, amelyet minden eszköz felismer.

MEGJEGYZÉS: Ha a CBUS konfiguráció ismert és nem tervezett a CBUS eszközökkel való, a tervező a tartási időt (hold time) a használt eszközök egyedi igényeivel igazíthatja.



19. ábra: START byte eljárás



20. ábra: CBUS küldő/fogadó átvitelének adatformátuma

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás

10.0 ELEKTROMOS KARAKTERISZTIKÁK AZ I²C-BUSZOS ESZKÖZÖK SZÁMÁRA

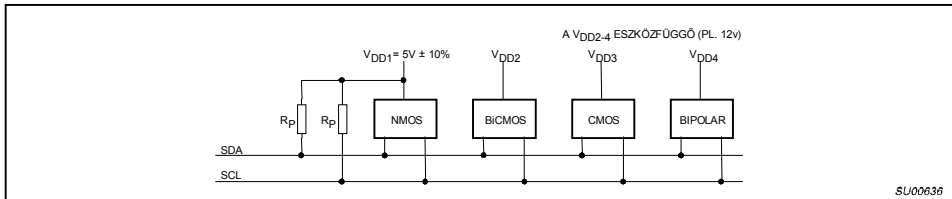
Az I²C-buszos eszközök I/O fokozatának elektromos specifikációi és a rájuk kötött buszvezetékek karakterisztikái a 3. és a 4. táblázatban találhatóak.

A 1,5 és 3 voltos fix bemeneti jelszintű I²C-buszos eszközök mind rendelkezhetnek megfelelő saját tápfeszültséggel. A felhúzó ellenállásokat $5V \pm 10\%$ -os tápfeszültségre kell kötni (21. ábra). A V_{DD} -hez viszonyított jelszintű I²C-buszos eszközöknek egyetlen közös tápfeszültséggel kell rendelkezniük és a felhúzóellenállásokat is erre kell rákötni (22. ábra).

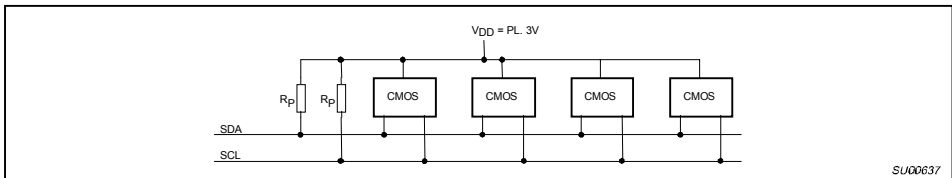
Amikor a fix jelszintű eszközöket keverjük a V_{DD} -relatív jelszintű eszközökkel, az utóbbiakat egy közös $5V \pm 10\%$ -os tápfeszültségre kell kötni és felhúzó ellenállásokat kell kötni az SDA és SCL vezetéseikre, ahogy a 23. ábra mutatja.

A bemeneti jelszintek a következő módon definiáltak:

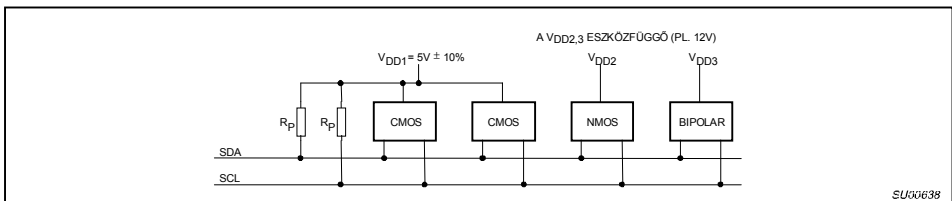
- Az alacsony jelszint zajhatára: $0,1 V_{DD}$
- A magas jelszint zajhatára: $0,2 V_{DD}$
- Az SDA és SCL nagyfeszültségű impulzusok elleni védelmére soros ellenállások (R_S), például 300Ω -osak, használhatóak, ahogy a 24. ábra is mutatja. (például egy TV képcső okozta túllövésék).



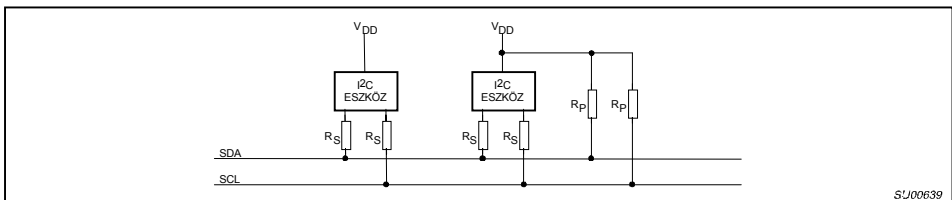
21. ábra: Fix bemeneti jelszintű eszközök I²C-busra kapcsolása



22. ábra: Széles tápfeszültségtartományú eszközök I²C-busra kapcsolása



23. ábra: V_{DD} függő bemeneti jelszintű (V_{DD1} tápfeszültségű) eszközök keverése fix bemeneti jelszintű ($V_{DD2,3}$ tápfeszültségű) eszközökkel az I²C-buszon



24. ábra: Soros ellenállások (R_S) a nagyfeszültségű tüskék elleni védelemre

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás

10.1 R_S és R_P ellenállások maximális és minimális értékei

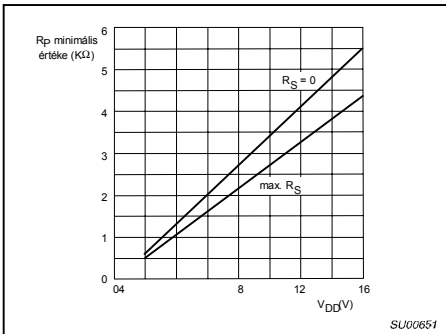
A standard módú I²C eszközökhöz az R_P és R_S értékek a 24. ábrán láthatóak és a következő paramétereiktől függnek:

- tápfeszültség
- buszkapacitás
- a rákapcsolt eszközök számától (bemeneti áram + szivárgási áram)

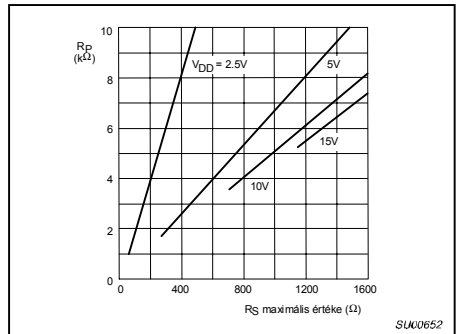
A kimeneti fokozatok számára előírt legalább 3mA-es ($V_{OL, max} = 0,4V$ esetén) kimeneti áramnak köszönhetően a tápfeszültség limitálja az R_P ellenállás minimális értékét. A V_{DD} az R_P függvényében a 25. ábrán látható. A tervezett 0,1V_{DD}-s alacsony jelszintű zajhatár limitálja az R_S maximális értékét. Az R_S max R_P függvényében a 26. ábrán látható.

A busz kapacitás a vezetékek, csatlakozások és lábak össz kapacitása. Az előírt felfutási időnek köszönhetően ez a kapacitás limitálja az R_P maximális értékét. A 27. ábra az R_P-max-ot mutatja a buszkapacitás függvényében.

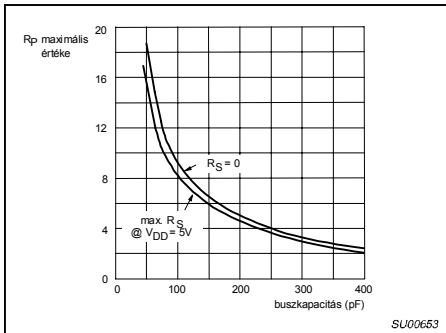
A magas jelszintű bemeneti áram minden egyes ki/bemeneti csatlakozásnál a specifikáció szerint maximum 10μA lehet. A tervezett 0,2V_{DD}-s magas jelszintű zajtűrésnek köszönhetően ez a bemeneti áram limitálja az R_P maximális értékét. Ez a határ a V_{DD}-től függ. A 28. ábrán a teljes magas jelszintű bemeneti áram látható az R_P max függvényében.



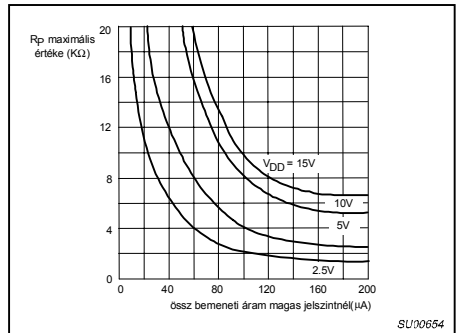
25. ábra: Az R_P minimális értéke a tápfeszültség és az R_S függvényében



26. ábra: Az R_S maximális értéke az R_P és a tápfeszültség függvényében



27. ábra: Az R_P maximális értéke a standard-módú I²C-busznál a buszkapacitás függvényében



28. ábra: A teljes magas jelszintű bemeneti áram a maximális R_P érték és a tápfeszültség függvényében

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás

11.0 AZ I²C-BUSZ SPECIFIKÁCIÓJÁNAK KIBŐVÍTÉSE

Az I²C-busz 100 Kbit/s-os adatátviteli sebességig és 7 bites címzéssel már több mint 10 éve létezik változatlan specifikációval. A koncepciót már világszerte elfogadták, mint egy de facto szabványt és több ezer I²C-busz kompatibilis IC áll rendelkezésre a Philipstől és más gyártóktól. Az I²C-busz specifikációt most kibővítették a következő két tulajdonsággal:

- Egy **gyors móddal**, ami megenged négyszeres bitsebességet 0-tól 400 Kbit/s-ig
- **10 bites címzést**, ami lehetővé teszi további 1024 cím használatát.

Az I²C-busz specifikáció nem ezen bővítéseinek két oka van:

- Az új alkalmazásoknak szükségük lesz nagyobb mennyiségű soros adat átvételére, emiatt 100 Kbit/s-nál is nagyobb sebességet igényelnek. A fejlettebb IC gyártási technológia most lehetővé tesz egy 4-szeres sebességnövekedést az interfész gyártási költségének növekedése nélkül

- A 7 bites címzésnél rendelkezésre álló 112 cím legtöbbször már egynél többször kiosztották. Hogy megakadályozzuk az eszközök slave címének helyfoglalási problémáját, több címkombináció kívánatos. Az új 10 bites címzéssel a rendelkezésre álló címek mintegy 10-szeres növekedését nyerjük.

Minden új I²C-buszos interfészt ellátták a gyors móddal. Lehetőleg képesnek kell lenniük venni és/vagy adni 400 Kbit/s-on. A minimális elvárás az, hogy képesek legyenek szinkronizálni egy 400 Kbit/s-os átvittel, aztán meghosszabbíthatják a SCL jel alacsony periódusait, hogy lelassítsák az átvitelt. A gyors-módú eszközöknek kompatibilisnek kell lenniük lefele, ami azt jelenti, hogy továbbra is képesnek kell lenniük 0-100 Kbit/s-os eszközökkel kommunikálni egy 0-100 Kbit/s-os I²C-buszos rendszerben.

Következésképpen a 0-100 Kbit/s-os I²C-buszos eszközök nem építhetők be egy gyors módú I²C-buszos rendszerbe, mert ezek az eszközök megjósolhatatlan állapotba kerülhetnek, mivel nem képesek a magas átviteli sebességet követni.

A gyors módú I²C-buszos interfésszel rendelkező Slave eszközöknek lehet 7 vagy 10 bites címe. Azonban a 7 bites cím az előnyösebb, mert ez olcsóbb hardware megoldást és rövidebb üzenethosszt eredményez. A 7 és 10 bites című eszközök keverhetők egyazon I²C-buszos rendszerben tekintett nélkül arra, hogy ez vajon egy 0-100 Kbit/s-os standard módú rendszer vagy egy 0-400 Kbit/s-os gyors módú rendszer. Mindkettő létezik és a jövőbeni mesterek képesek lesznek akár 7, akár 10 bites címek generálására.

12.0 A GYORS MÓD

Az I²C-busz gyors módjában változatlanul megmaradt az előző I²C-busz specifikációban rögzített protokoll, formátum, logikai szintek, valamint az SDA és SCL vezetékkel kapacitív töltése. Az előző I²C-busz specifikációhoz képest a következők változtak meg:

- A maximális sebesség 400 Kbit/s-ra nőtt
- A sors adat (SDA) és a soros órajel (SCL) időzítései áll lettek dolgozva. Más buszrendszerekkel (mint például a CBUS-szal) való kompatibilitásra nincs szükség, mert azok nem képesek a megnövelt bitsebességen működni.
- A gyors módú eszközöknek az SDA és az SCL bemeneteiken tartalmazniuk kell egy túske elnyomást és egy Schmitt trigger
- A gyors módú eszközök kimeneteinek tartalmazniuk kell egy mereedség korlátozót az SDA és SCL jelek lefutó éleihöz
- Ha egy gyors módú eszköznek a tápellátását lekapcsolják, akkor az SDA és SCL I/O lábainak elektromosan lebegniük kell, tehát nem foghatják le a buszvezetéseket
- A buszra kötött külső felhúzó eszközöket hozzá kell igazítani az I²C-busz rövidebb maximális felfutási idejéhez. Felhúzó eszköznek alkalmazható buszvezetékenként egy-egy ellenállás 200 pF-os busztöltésig, 200 pF és 400 pF között a felhúzó eszköznek egy áramforrásnak (max 3 mA) vagy a 37. ábrán is látható kapcsolt ellenállású eszköznek kell lennie.

13.0 10 BITES CÍMZÉS

A 10 bites címzés nem változott az I²C-busz specifikációján. A 10 bites címzés használatához a 9.1 fejezetben részletezett START (S) feltételt vagy az ismételt START feltételt (Sr) követő első byte első 7 bitjéből a fenntartott 1111xx kombinációt használja ki. A 10 bites címzés nincs hatással a létező 7 bites címzésre. 7 és 10 bites címmel rendelkező eszközök ráköthetők ugyanarra az I²C-buszra valamint a 7 és 10 bites címzés is használható egy standard módú (100 Kbit/s-ig) vagy egy gyors módú (400 Kbit/s-ig) rendszerben.

Ámbár 8 lehetséges kombináció van a fenntartott 1111xx cimbitekben, de csak az 11110xx négy kombinációja használható a 10 bites címzéshez. A megmaradó 11111xx 4 kombinációja fenntartott a jövőbeni I²C bővítésekhez.

13.1 Az első byte bitjeinek definíciója

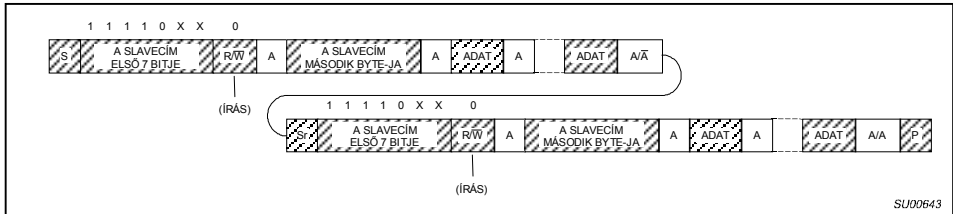
A 10 bites slave cím a START (S) vagy ismételt START (Sr) feltételt követő első két byteból áll össze.

Az első byte első 7 bitje az 11110xx kombináció, amelynek az utolsó két bitje (xx) a 10 bites cím két legnagyobb helyiértékű bitje; a nyolcadik bit az R/W~ bit, amely az üzenet irányát határozza meg. Az 1-es értéke jelenti azt, hogy a master fogja a kiválasztott slave-et írni. A 0-ás érték meg azt, hogy a master olvas a slave-től.

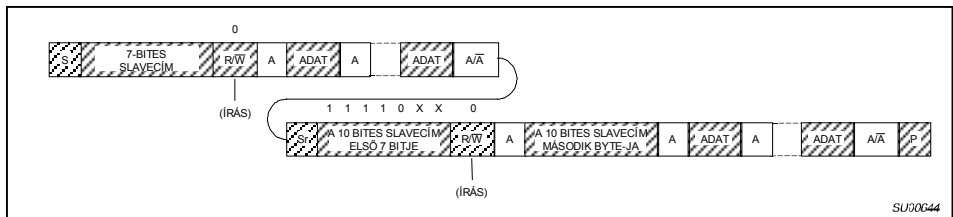
Ha az R/W~ bit 0, akkor a második byte a 10 bites cím fennmaradó 8 bitje. Ha az R/W~ bit 1, akkor a következő byte a slave által a masternek küldött adatot tartalmazza.

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás



32. ábra: Kombinált formátum: A küldő master két slave-nek küld adatot, mindkettőnek 10 bites címmel



33. ábra: Kombinált formátum: a master két slave-nek küld adatot, egy 7 bites és egy 10 bites címűnek

MEGJEGYÉSEK:

1. A kombinált formátum felhasználható pl. egy soros memória vezérlésére. Az első adatbyte alatt a belső memóriapozíció kerül kiírásra. Majd a START feltétel és a slavecím megismétlése után az adat átvihető.
2. Az előzőleg címzett memóriapozíció automatikus növeléséről, csökkentéséről, stb az eszköz tervezője dönt.
3. Minden byte-ot egy nyugtázó bit követ, amit a szekvenciában a A-val, vagy A~ -mal jelöltünk.
4. Egy START vagy ismételt START feltétel vétele után az I²C-busz kompatibilis eszköznek alapállapotba kell állítaniuk a saját buszlogikájukat, mivel azok egy azok egy slavecím küldését előzik meg.

14.0 Az általános hívás cím és a START byte

A 10 bites címzési eljárás, ami START feltétel (S) utáni első két byte, általában meghatározza az I²C-busz számára, hogy melyik slave-et választja ki a master. Kivétel ez alól az "általános hívás" cím, a 00000000 (00_{hex}). A 10 bites címzés slave eszközök ugyanúgy reagálnak erre az "általános hívás"-ra, mint a 7 bites címzés slave eszközök (lásd a 9.1.1 részben)

A hardware master-ek elküldhetik a saját 10 bites címüket az "általános hívás" után. Ez esetben az "általános hívás" címet követő két egymás utáni byte tartalmazza a küldő-master 10 bites címét. A formátumot a 17. ábra mutatja, az első adatbyte tartalmazza a master cím legkisebb helyiértékű 8 bitjét.

A 10 bites címzést ugyanúgy megelőzheti egy 00000001 (01_{hex}) START byte, mint a 7 bites címzést (lásd a 9.1.2 részben).

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás

15.0 Az I/O fokozatok és a buszvezetékek elektromos specifikációi és időzítései

Az I²C-buszos eszközök I/O szintjei, I/O áramai, tűske elnyomása, kimeneti mereedség szabályozása és a lábak kapacitása a 3. táblázatban, az I²C-busz időzítései a 4. táblázatban találhatóak. Az I²C-busz időzítéseihez a definíciókat a 34. ábra mutatja.

Az alacsony és magas jelszintek zajtűrése a gyors módú eszközöknél megegyezik a 10.0 részben a standard módú I²C-busz eszközökénél leírtakkal.

Az SCL órajelnek a 4. táblázatban specifikált minimális alacsony és magas periódusa 100 Kbit/s-ban határozza meg a maximális bitátviteli sebességet standard módú eszközöknél és 400 Kbit/s-ban a gyors módú eszközöknél.

A standard módú és a gyors módú eszközöknek is képesnek kell lenniük követni az átviteleket a saját maximális bite sebességükön, vagy azzal, hogy képesek küldeni vagy fogadni azon a sebességen, vagy azzal, hogy alkalmazzák a 7.0 részben leírt órajelszinkronizációt, amely a mestert várakozási állapotba kényszeríti és az SCL jel alacsony periódusait megnyújtja. Természetesen ez utóbbi esetben a bitátviteli sebesség lecsökken.

3. Táblázat: Az I²C-buszos eszközök SDA és SCL I/O fokozatainak karakterisztikái

PARAMÉTER	SZIMBÓLUM	STANDARD MÓDÚ ESZKÖZÖK		GYORS MÓDÚ ESZKÖZÖK		EGYSÉG
		Min.	Max.	Min.	Max.	
Alacsony szintű bemeneti feszültség: fix bemeneti jelszinteknél V _{DD} -függő bemeneti jelszinteknél	V _{IL}	-0.5 -0.5	1.5 0.3V _{DD}	-0.5 -0.5	1.5 0.3V _{DD}	V
Magas szintű bemeneti feszültség: fix bemeneti jelszinteknél V _{DD} -függő bemeneti jelszinteknél	V _{HI}	3.0 0.7V _{DD}	*1) *1)	3.0 0.7V _{DD}	*1) *1)	V
A Schmitt trigger bemenetek hiszterézise: fix bemeneti jelszinteknél V _{DD} -függő bemeneti jelszinteknél	V _{hys}	n/a n/a	n/a n/a	0.2 0.05V _{DD}	- -	V
Pulse width of spikes which must be suppressed by the input filter	t _{SP}	n/a	n/a	0	50	ns
LOW level output voltage (open drain or open collector): at 3 mA sink current at 6 mA sink current	V _{OL1} V _{OL2}	0 n/a	0.4 n/a	0 0	0.4 0.6	V
Output fall time from V _{ILmin} to V _{ILmax} with a bus capacitance from 10 pF to 400 pF: with up to 3 mA sink current at V _{OL1} with up to 6 mA sink current at V _{OL2}	t _{of}	- n/a	250 ³⁾ n/a	20+0.1C _b ²⁾ 20+0.1C _b ²⁾	250 250 ³⁾	ns
Input current each I/O pin with an input voltage between 0.4 V and 0.9 V _{DDmax}	I _i	-10	10	-10 ⁴⁾	10 ⁴⁾	µA
Capacitance for each I/O pin	C _i	-	10	-	10	pF

n/a = not applicable

1. Maximum V_{HI} = V_{DDmax} + 0.5 V

2. C_b = capacitance of one bus line in pF.

3. The maximum t_f for the SDA and SCL bus lines quoted in Table 4 (300 ns) is longer than the specified maximum t_{of} for the output stages (250 ns). This allows series protection resistors (R_s) to be connected between the SDA/SCL pins and the SDA/SCL bus lines as shown in Figure 37 without exceeding the maximum specified t_r.

4. I/O pins of fast/mosde devices must not obstruct the SDA and SCL lines if V_{DD} is switched off.

Az I²C-busz és használata (Specifikációkkal)

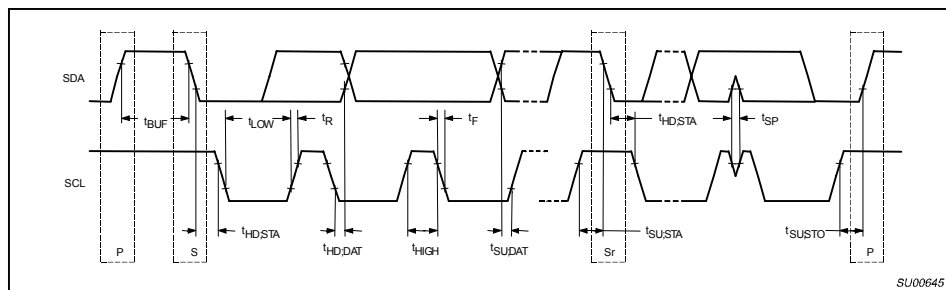
1995-ös kiadás

4. Táblázat: ???

PARAMETER	SYMBOL	STANDARD-MODE DEVICES		FAST-MODE DEVICES		UNIT
		Min.	Max.	Min.	Max.	
SCL clock frequency	f_{SCL}	0	100	0	400	kHz
Bus free time between a STOP and START condition	t_{BUF}	4.7	-	1.3	-	μ s
Hold time (repeated) START condition. After this period, the first clock pulse is generated	$t_{HD,STA}$	4.0	-	0.6	-	μ s
LOW period of the SCL clock	t_{LOW}	4.7	-	1.3	-	μ s
HIGH period of the SCL clock	t_{HIGH}	4.0	-	0.6	-	μ s
Set-up time for a repeated START condition	$t_{SU,STA}$	4.7	-	0.6	-	μ s
Data hold time: for CBUS compatible masters (see NOTE, Section 9.1.3) for I ² C-bus devices	$t_{HD,DAT}$	5.0 0 ¹⁾	- -	- 0 ¹⁾	- 0.9 ²⁾	μ s μ s
Data set-up time	$t_{SU,DAT}$	250	-	100 ³⁾	-	ns
Rise time of both SDA and SCL signals	t_r	-	1000	$20 + 0.1C_b^{4)}$	300	ns
Fall time of both SDA and SCL signals	t_f	-	300	$20 + 0.1C_b^{4)}$	300	ns
Set-up time for STOP condition	$t_{SU,STO}$	4.0	-	0.6	-	μ s
Capacitive load for each bus line	C_b	-	400	-	400	pF

All values referred to VIHmin and VILmax levels (see Table 3).

1. A device must internally provide a hold time of at least 300 ns for the SDA signal (referred to the V_{THmin} of the SCL signal) in order to bridge the undefined region of the falling edge of SCL.
2. The maximum $t_{HD,DAT}$ has only to be met if the device does not stretch the LOW period (t_{LOW}) of the SCL signal.
3. A fast/mode I²C-bus device can be used in a standard/mode I²C-bus system, but the requirement $t_{SU,DAT} \geq 250$ ns must then be met. This will automatically be the case if the device does not stretch the LOW period of the SCL signal. If such a device does stretch the LOW period of the SCL signal, it must output the next data bit to the SDA line $t_{rmax} + t_{SU,DAT} = 1000 + 250 = 1250$ ns (according to the standard/mode I²C-bus specification) before the SCL line is released.
4. C_b = total capacitance of one bus line in pF.



34. ábra: Az I²C-busz időzítéseinek meghatározása

SU00645

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás

16.0 ALKALMAZÁS INFORMÁCIÓK

16.1 A gyors módú eszközök meredekségkorlátozott kimeneti fokozatai

A 15.0 rész 3. és 4. táblázatában találhatóak az I²C-buszos eszközök I/O fokozatai és a hozzájuk csatlakozó buszvezetékek számára az elektromos specifikációk.

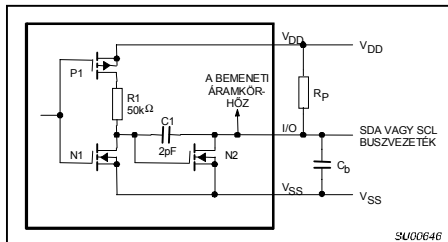
A 35. és 36. ábra mutat példát a meredekségkorlátozott kimeneti fokozatra CMOS és bipoláris technológia esetén. A lefutó él meredekségét egy Miller kondenzátor (C₁) és egy ellenállás (R₁) határozza meg. A C₁ és R₁ tipikus értékeit a diagram mutatja. A kimeneti lefutási idő (t_L) számára a 3. táblázatban feltüntetett széles réstartomány azt jelenti, hogy a tervezés nem kritikus. A lefutási időt csak kissé befolyásolja a külső buszkapacitás (C_B) és a felhúzó ellenállás (R_P). Azonban a felutási időt főleg a buszkapacitás és a felhúzó ellenállás határozza meg.

16.2 kapcsolt felhúzóáramkör a gyors módú I²C-buszos eszközöknél

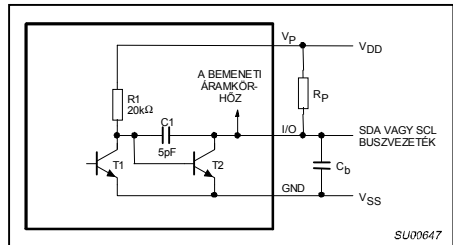
A tápfeszültség (V_{DD}) és a maximális kimeneti alacsony jelszint meghatározza a felhúzó ellenállás (R_P) minimális értékét (lásd a 10.1-es részben). Például V_{DD} = 5V ± 10%-os tápfeszültség és V_{OL} max = 0,4V (3mA-nél) esetén R_{P,min} (5,5-0,4)/0,003 = 1,7kΩ. Ahogy a 38. ábra is mutatja ez az R_P érték 200pF-ban limitálja a maximális buszkapacitást, hogy eleget tegyen a maximum 300ns-os t_r követelményének. Ha a buszkapacitás ennél magasabb, akkor egy kapcsolt felhúzó áramkör alkalmazható, ahogy a 37. ábrán is látható.

A 37. ábrán látható kapcsolt felhúzó áramkör V_{DD} = 5V ± 10%-os tápfeszültséghez és maximum 400pF-os kapacitív töltés buszhoz készült. Mivel ezt a busz jelszintje vezérlí, nincs szükség további kapcsolási vezérlőjelre. A lefutó/felutó élek alatt a HCT4066-ban a kétoldali kapcsoló kapcsolja ki/be az R_{P2} felhúzó ellenállást 0,8V és 2,0V közötti buszjelszinteknél. Az összevont R_{P1} és R_S ellenállások a maximum 300ns-os felutási időn (t_r) belül képesek felhúzni a buszvezeteket. A meghajtott I²C-buszos eszköz maximális áramelvezetése nem haladhatja meg a 6 mA-t V_{OL} = 0,6V-nál és a 3mA-t V_{OL} = 0,4V-nál.

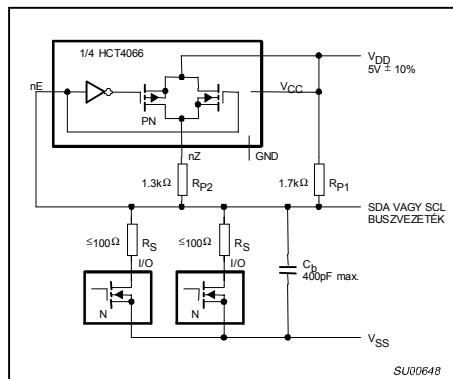
A soros R_S ellenállások opcionálisak. Ezek védik az I²C-buszos eszközök I/O fokozatait a buszvezetékek nagyfeszültségű tüskéitől valamint minimalizálják a buszvezetékek jeleinek áthallását és *undershoot*-ját. Az R_S maximális értékét a rajta megengedett maximális feszültségesés határozza meg, amikor a buszvezeték átkapcsolat alacsony szintre, hogy kikapcsolja az R_{P2}-t.



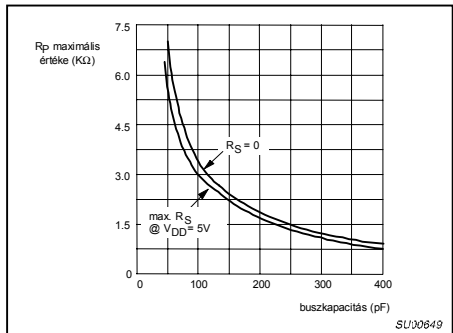
35. ábra: Meredekségvezérelt kimeneti fokozat CMOS technológiával



36. ábra: Meredekségvezérelt kimeneti fokozat bipoláris technológiával



37. ábra: Kapcsolt felhúzóáramkör



38. ábra: Az R_P maximális értéke a buszkapacitás függvényében a gyors módú I²C-buszos eszközök T_R MAX követelményének megfelelően

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás

16.3 A buszvezetékek huzalozási mintázata

Általában a huzalozást úgy kell megválasztani, hogy az áthallás és az interferencia a busz felől és a busz felé minimális legyen. A buszvezetékek az áthallásra és az interferenciára a magas jelszintnél a legérzékenyebbek a felhúzó ellenállások viszonylag nagy impedanciája miatt.

Ha a buszvezetékek hossza a NYÁK-on vagy a szalagkábelben eléri a 10 cm-t, a huzalozásnak a következőképpen kell kinéznie:

SDA _____
 V_{DD} _____
 V_{SS} _____
 SCL _____

Ha csak a V_{SS} vezeték tartalmazza, akkor a huzalozásnak így kell kinéznie:

SDA _____
 V_{SS} _____
 SCL _____

Ezek a huzalozási mintázatok azonos kapacitív töltést eredményeznek az SDA és SCL vezeték számára. Ha a

NYÁK tartalmaz külön V_{SS} és/vagy V_{DD} réteget, akkor a V_{SS} és V_{DD} vezeték elhagyhatóak.

Ha a buszvezetékek csavart érpárok, akkor minden buszvezeték egy visszatérő V_{SS}-sel kell összecsavarni. Alternatíváként az SCL összecsavarható a visszatérő V_{SS}-sel, az SDA pedig a visszatérő V_{DD}-vel. Ez utóbbi esetben a csavart érpár mindkét végén kondenzátorokkal kell leválasztani a V_{DD} vezetékét a V_{SS} vezetéktől.

Ha a buszvezetékek árnyékoltak (az árnyékolás a V_{SS}-re van kötve), akkor minimális az interferencia. Viszont az áthallás minimalizálása érdekében az árnyékoló kábel SDA és SCL vezetékéi között a kapacitív kapcsolatnak alacsonynak kell lennie.

16.4 Az R_p és R_s ellenállások maximális és minimális értékei a gyors módú I²C-buszos eszközöknél

Egy gyors módú I²C-buszra kötött R_p és R_s ellenállások maximális és minimális értékei a 10.1-es rész 25., 26. és 28. ábrából határozhatóak meg. Mivel egy gyors módú I²C-busznak rövidebb a felfutási ideje (t_r) ezért az R_p értéke a buszkapacitás függvényében kevesebb, mint amit a 27. ábra mutat. A 27. ábra helyett a gyors módú I²C-busz számára a maximális R_p értéket a buszkapacitás (C_b) függvényében a 28. ábra tartalmazza.

17.0 FEJLESZTŐESZKÖZÖK

Fejlesztőeszközök a 8048 és 8051 alapú rendszerekhez

TERMÉK	LEÍRÁS
OM1016	I ² C-busz demonstrációs kártya a következőkkel: mikrokontroller, LCD, LED, párh. I/O, SRAM, EEPROM, óra, DTMF generátor, AD/DA konverzió, infravörös csatlakozás
OM1018	Leírás a OM1016-hoz
OM1020	LCD és vezérlő demonstrációs kártya
OM4151	I ² C-busz evaluation kártya (ugyanaz, mint a fenti OM1016, de nincs rajta infravörös).
OM5027	I ² C-busz evaluation kártya az alacsony feszültségű, kis teljesítményű IC-kez, és software

17.2 Fejlesztőeszközök a 68000 alapú rendszerekhez

TERMÉK	LEÍRÁS
OM4160	Microcore-1 demonstrációs/evaluation kártya: SCC68070, 128K EPROM, 512K DRAM, I ² C, RS-232C, VSC SCC66470, resident monitor
OM4160/3	Microcore-3 demonstrációs/evaluation kártya: 128K EPROM, 64K SRAM, I ² C, RS-232C, 40 I/O (inc. 8051 compatible bus), resident monitor
OM4160/3QFP	Microcore-3 demonstrációs/evaluation kártya a 9XC101-hez (QFP80 tokozás)

17.3 Fejlesztőeszközök minden rendszerhez

TERMÉK	LEÍRÁS
OM1022	I ² C-bus analízátor. Hardware és software (IBM vagy IBM kompatibilis PC-n fut) to experiment with and analyze the behaviour of the I²C-bus (included documentation)

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás

18.0 SUPPORT LITERATURE

DATA HANDBOOKS
Félvezetők rádió és audio rendszerekhez IC01a 1995 IC01b 1995
Félvezetők televízió és video rendszerekhez IC02a 1995 IC02b 1995 IC02c 1995
Félvezetők távközlési rendszerekhez IC03 1995
I ² C perifériák IC12
8048 alapú 8 bites mikrokontrollerek IC17 1995
Vezeték nélküli kommunikáció IC17 1995
Félvezetők autóelektronikákhoz IC18
80C51 alapú 8 bites mikrokontrollerek IC20 1995
68000 alapú 16 bites mikrokontrollerek IC21
Desktop video IC22 1995
Brochures/leaflets/lab. Reports
I ² C-busz kompatibilis IC-k és támogatások összefoglalása
I ² C-bus vezérlő programok a fogyasztói alkalmazásokhoz
Mikrokontrollerek, microprocessorok és támogatások összefoglalása
Alkalmazói megjegyzések a 80C51 alapú 8 bites mikrokontrollerekhez
OM5027 I ² C-busz evaluation kártya az alacsony feszültségű, kis teljesítményű IC-khez és software
P90CL301 I ² C meghajtó rutinok
Felhasználói leírás a Microsoft Pascal I ² C-busz driveréhez (MICDRV4.OBJ)
Felhasználói útmutatás az I ² C-busz vezérlő programokhoz

Az I²C-busz és használata (Specifikációkkal)

1995-ös kiadás

19.0 AZ I²C-BUSZ ALKALMAZÁSA AZ ACCESS.BUS RENDSZERBEN

Az ACCESS.bus (busz az ACCESSory eszközök egy host rendszerhez kapcsolásához) egy I²C alapú nyílt szabványú soros összekötési rendszer a Philips és a Digital Equipment Corporation közös fejlesztésében és meghatározásában. Ez az RS-232C-nek egy kisebb költségű alternatívája ahhoz, hogy egy asztali számítógéphez vagy workstation-höz 14 ki/bemenetet kössünk a perifériakészülékekről, akár 8 méteres távolságig. A perifériakészülékek viszonylag alacsony sebességűek lehetnek, mint pl. billentyűzet, kézi képszkennel, kurzorpozícionáló, vonalkód leolvasó, digitalizáló tábla, kártyaolvasó, vagy modem.

Minden, ami szükséges egy ACCESS.bus megvalósításához egy 8051-es családba tartozó mikrokontroller egy I²C-busz interfésszel és egy 4 eres kábel soros adatvezetékkel (SDA), soros órajelvezetékkel (SCL), egy földvezetékkel és a perifériák tápfeszültségének biztosításához egy 12V-os tápvezetékkel (max. 500mA).

Az ACCESS busz lényeges sajátosságai, hogy a bitsebessége csak közel 20%-kal kevesebb, mint az I²C maximális bitsebessége és a perifériáknak nincs szükségük külön eszközezőre. Valamint a protokoll megengedi, hogy az eszközöket menet közben kicseréljük ('hot-plugging')

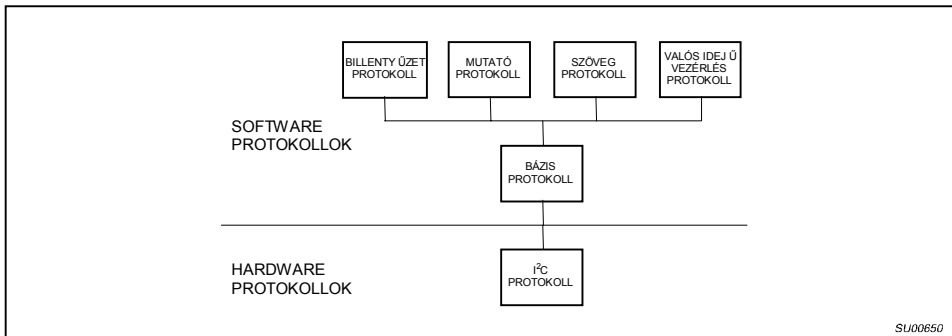
rebootolás nélkül.

Mint ahogy a 39. ábrán látható, az ACCESS.bus protok 3 szintet foglal magába: Az I²C protokollt, a bázis protokollt és az alkalmazási protokollt.

A bázis protokoll közös minden ACCESS.bus eszköz számára és meghatározza az ACCESS.bus üzenetek formátumát. Az I²C-busz protokolltól eltérően megköveteli a masterektől, hogy küldjék és a slave-ektől, hogy fogadják az adatokat. A csatolt információ egyik eleme egy ellenőrzőösszeg a megbízhatóság ellenzésére. Ezenkívül a bázis protokoll még hétféle vezérlő és állapotüzenetet specifikál, amelyeket a rendszer konfigurálásában használnak. A rendszerkonfigurálás egyedi címekeket rendel a perifériákhoz anélkül, hogy jumpereket, vagy kapcsolókat kellene beállítani az eszközön.

Az alkalmazási protokoll definiálja az üzenetek szemantikáját, amelyek a perifériaeszközök három elképzeltlen létező fajtájára jellemzőek (billentyűzetek, kurzor pozícionálók, és szöveges eszközök, melyek karakterfolyamot állítanak elő, mint pl. a kártyaolvasók).

A Philips a számítógép perifériakészülék gyártóknak technikai támogatást nyújt: széles skáláját az I²C-buszos eszközöknek és fejlesztőkészleteket az ACCESS.bus-hoz. Hardware, software és marketingtámogatást kínál még a DEC is.



SIU00650

39. ábra: Az ACCESS.bus protokoll-hierarchiája